

Boundary Scan - Testpatterngenerator

Erzeugt Testvektoren für Testsysteme

Ohne Investitionen in bestehende Systeme

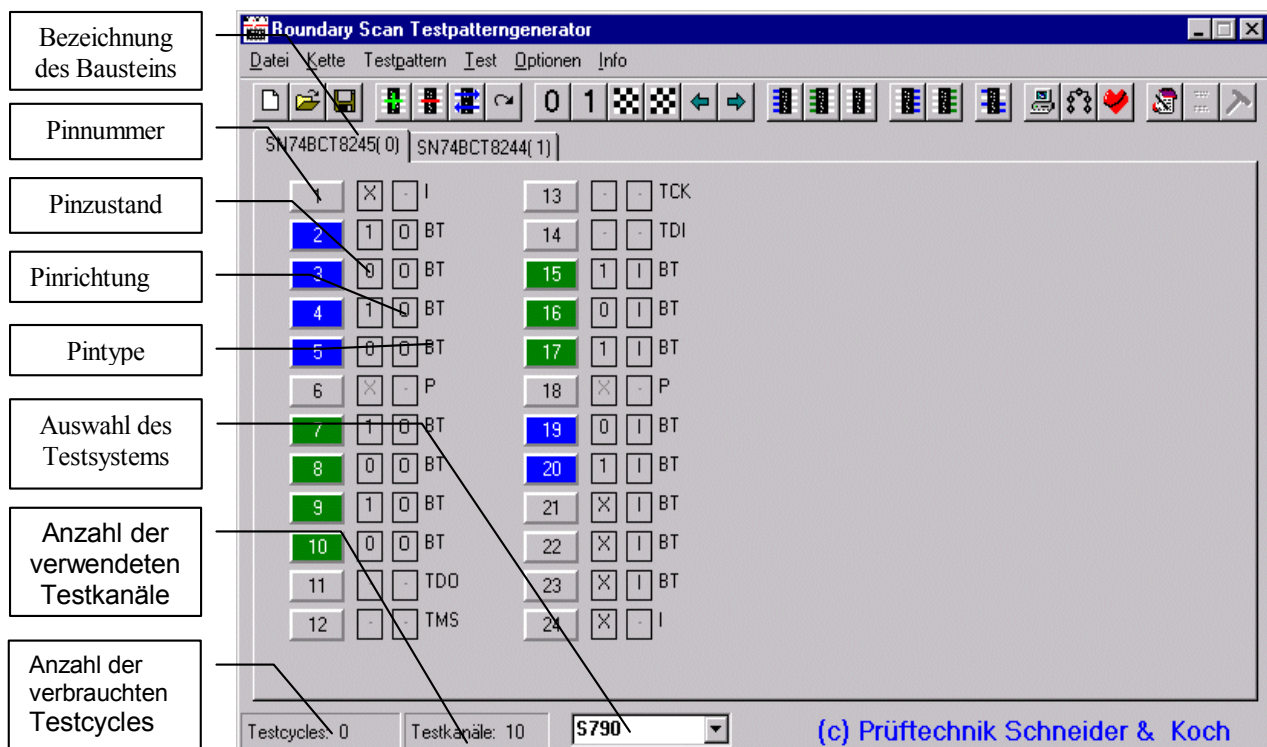
Das Geheimnis der schrumpfenden Gehäuse

Die fortschreitende Miniaturisierung in der Entwicklung elektronischer Baugruppen gestattet immer mehr Funktionen auf kleinerem Raum zu integrieren. Dadurch wird es immer aufwendiger bis unmöglich, Testzugriff auf alle Knoten der Schaltung zu bekommen um damit den klassischen In - Circuit Test zu ermöglichen.

Boundary Scan nach IEEE 1149.1 ist nicht die Lösung aller, aber häufig eine Methode, um die erforderlichen Aufgaben zu lösen.

Theorie und Praxis

Das **S&K – Team** hat für den eigenen Bedarf ein Programmiertool entwickelt, das praxisingerecht die Arbeit des Test-Ingenieurs erleichtert, insbesondere bei der Kombination mit Automatischen Testsystemen.



The screenshot shows the 'Boundary Scan Testpattern Generator' (BSTPG) software interface. On the left, there are seven callout boxes with arrows pointing to specific parts of the interface:

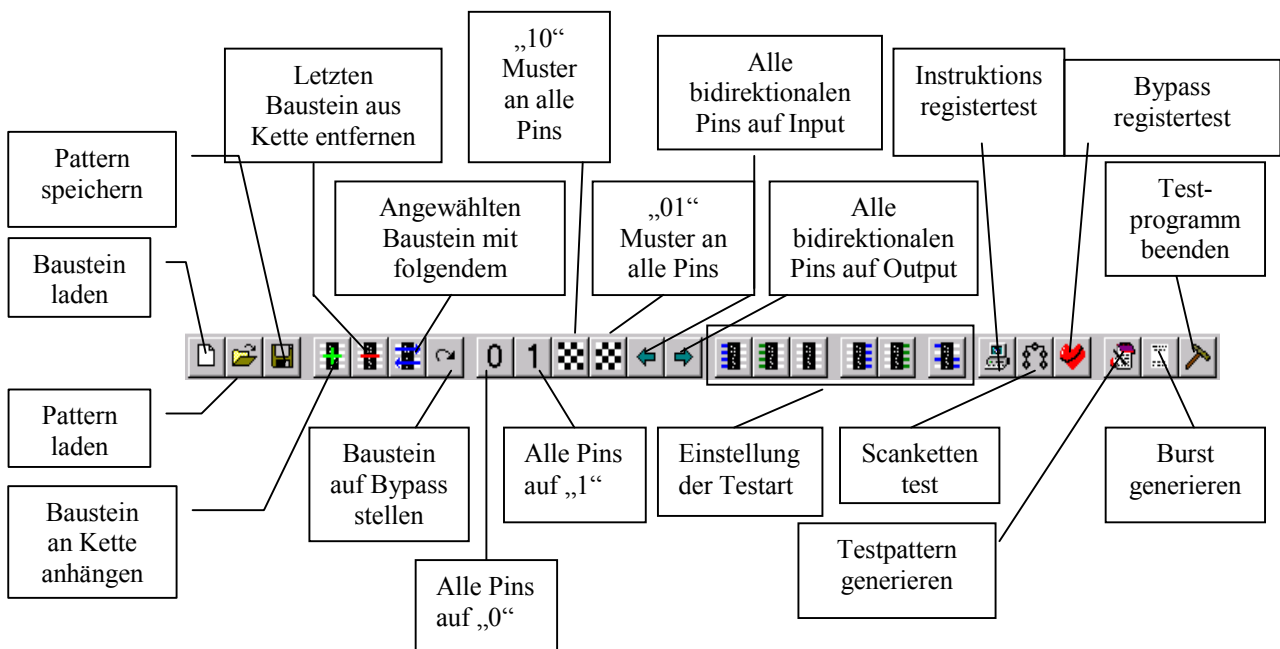
- Bezeichnung des Bausteins:** Points to the part number 'SN74BCT8245(0) SN74BCT8244(1)'.
- Pinnummer:** Points to the pin numbers '13' through '24'.
- Pinzustand:** Points to the state indicators (0, 1, X) for each pin.
- Pinrichtung:** Points to the direction indicators (I, O, P) for each pin.
- Pintype:** Points to the test system selection (BT, TDO, TMS) for each pin.
- Auswahl des Testsystems:** Points to the test system selection (BT, TDO, TMS) for each pin.
- Anzahl der verwendeten Testkanäle:** Points to the 'Testkanäle: 10' field at the bottom.
- Anzahl der verbrauchten Testcycles:** Points to the 'Testcycles: 0' field at the bottom.

The main interface displays a grid of pins (13-24) with their respective states and directions. The bottom status bar shows 'Testcycles: 0', 'Testkanäle: 10', and a dropdown menu set to '5790'. The copyright notice '(c) Prüftechnik Schneider & Koch' is visible in the bottom right corner.

**Von uns erprobte
Methoden Boundary Scan
für ATE - Applikation zu
nutzen:**

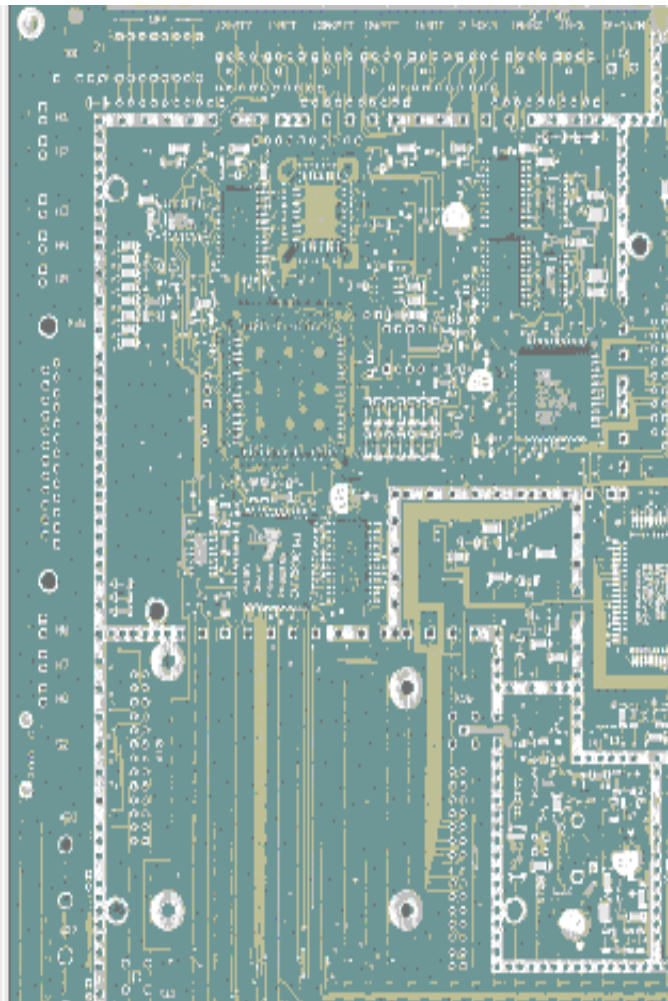
- Prüfung der Lötverbindungen von Einzelbausteinen mit Boundary Scan – Implementierung
- Nutzung der Boundary – Scan – Zellen für Messungen bzw. Stimulus im Funktions- / Clustertest, wenn z.B. keine Testpunkte verfügbar sind (als „Silicon-Nails“)
- Reduzierung oder sogar Verzicht auf Nadelkontaktierungen für In – Circuit -Test durch Nutzung der Boundary - Scan Möglichkeiten und der Steckerlisten

Toolbar -Funktionsumfang des Testpatterngenerator



Häufige Gründe für den Verzicht auf volle Kontaktierung über Nadeladapter:

- aufgrund hoher Packungsdichte, kein Platz für Kontaktierflächen
- Adaptionkosten zu hoch, z.B. bei kleinen Stückzahlen / Vorserien



Alternativ wäre ein Funktionstest der ganzen Baugruppe denkbar. Der ist jedoch aufwendiger und die Fehlerdiagnose wird erschwert.

Benutzt man für den Verbindungstest bzw. für Funktionstests vorhandene Boundary - Scan - Zellen, müssen für ATE - Systeme Testvektoren für die Treiber / Sensorkanäle in dem Boundary - Scan - Format erzeugt werden. Diese manuell zu schreiben ist sehr zeitaufwendig und fehlerbehaftet.

Für diesen Zweck haben wir ein Programmierool entwickelt, das für Sie automatisch Testvektoren im Boundary - Scan - Format generiert und im Datenformat der gängigen Testsystem ausgibt.

Es ist eine weitverbreitete Meinung, dass Boundary Scan nur dann eingesetzt werden kann, wenn das Board überwiegend mit Boundary Scan Bauteilen bestückt ist.

Boundary Scan kann in Kombination mit ATE-Systemen bereits dann sinnvoll eingesetzt werden, wenn nur ein einziges IC Boundary Scan-fähig ist.

Gerne beraten wir unsere Kunden bereits während der Entwicklungsphase, um möglichst frühzeitig wichtige Prüfbarkeitskriterien gemeinsam zu erarbeiten.