

## Applikationsbericht

# *In-Circuit & Funktionstest auf Automatischem Testsystem (ATE) Typ Genrad GR2284*

Autor : Andreas Menge  
Stand : Dezember 2000

## Inhaltsverzeichnis

1	Allgemeine Beschreibung .....	3
1.1	Prüfgegenstand .....	3
2	Prüfablauf .....	4
2.1	Allgemeine Beschreibung der Prüfabläufe .....	4
3	In-Circuit-Test .....	7
3.1	Erweiterungen im Digitalen In-Circuit-Test.....	7
4	Boundary-Scan-Test für EPLD XC95216.....	9
5	Speicherkurztest für Flash-Eproms und EEPROM .....	11
6	On-Board-Programmierung für EPLD Xilinx XC95216 .....	12
7	On-Board-Programmierung der Flash-Eproms / EEPROM.....	12
8	Funktionstest gemäß Prüfvorschrift.....	14

## 1 Allgemeine Beschreibung

Es ist ein Kombinationstest bestehend aus den nachfolgend beschriebenen Testabfolgen für eine gemischt Digitale / Analoge Baugruppe zu erstellen. Ziel der Prüfung ist die Durchführung aller Kartentests einschließlich der für die Gerätefunktion erforderlichen On-Board-Programmierungen. Somit können die bisher vom Hersteller ausgeführten Einzelschritte mit entsprechender Mehrfachadaption an verschiedenen Prüf- und Programmierplätzen entfallen. Durch die Ausführung aller Teilschritte in einem Arbeitsschritt ergeben sich folgende Vorteile :

- Zeitersparnis
- Minimierung von Folgefehlern durch zusätzliches Handling / Adaption der Baugruppen
- Pflege von Prüfprogramm und Adapter an nur einem System
- Änderungen können schnell eingearbeitet werden, da nur ein System angepasst werden muß
- Bedienpersonal muß nur auf ein System eingearbeitet werden
- Archivierung aller Prüfdaten auf einem System in einem einheitlichen Datenformat

### 1.1 Prüfgegenstand

Die zu prüfende Baugruppe ist Bestandteil eines Funkgerätes für den Einsatz in Zugsystemen. Die Baugruppe besteht dabei im wesentlichen aus folgenden Funktionseinheiten :

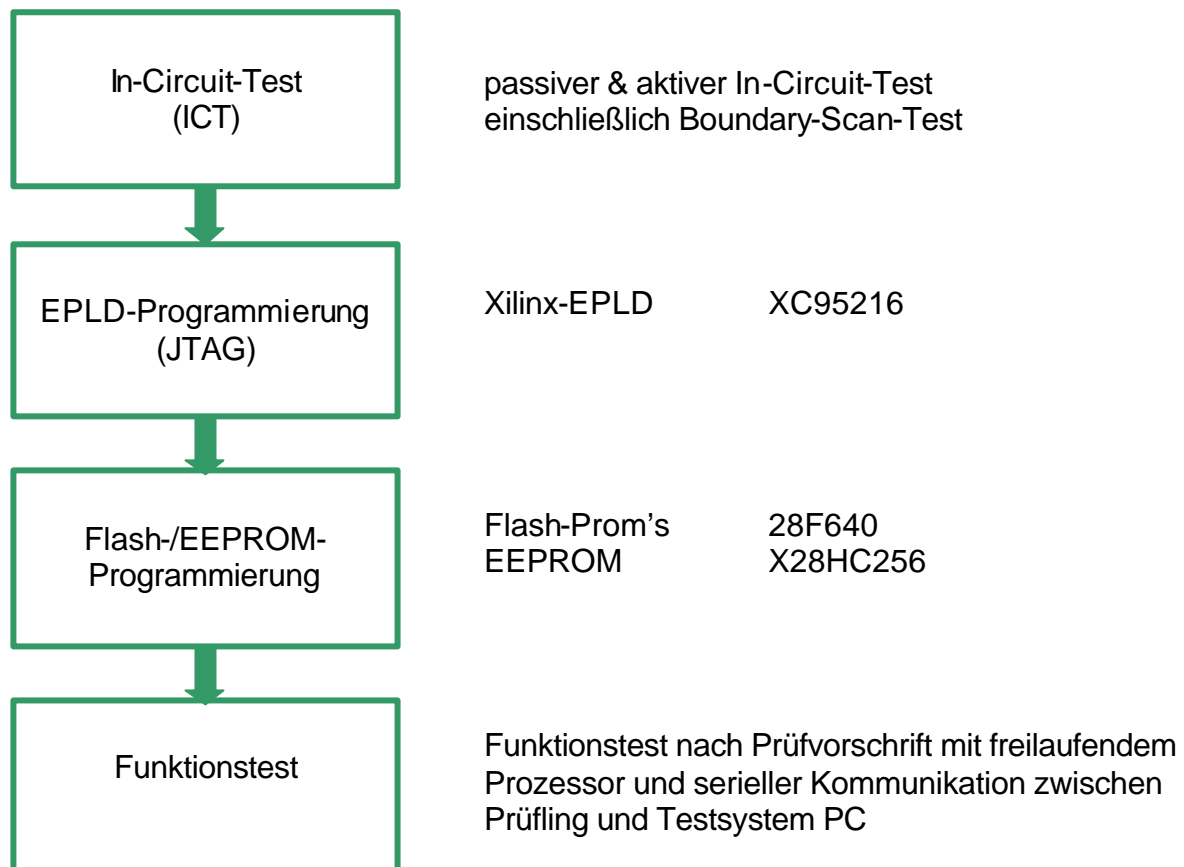
- Prozessorsystem SAB80C537 mit Arbeitsspeicher (RAM), Flash-Speicher, EEPROM, Real-Time-Clock, UART-Schnittstellen, Parallel-I/O
- DSP-Controller-System, ausgeführt als Zusatzaufsteckkarte. Die Karte wird als Fertigteil geprüft eingekauft und wird vor der Prüfung montiert.
- XILINX-EPLD Typ XC95216 zur Steuerung von Enable-Funktionen sowie sonstiger Steuerungsaufgaben
- NF-Ein- und Ausgangsschaltungen mit Verstärkern und Filterstufen
- Analogmatrix zur Verschaltung verschiedener NF-Wege

Die Baugruppe ist mit Komponenten sowohl in SMD als auch konventioneller Bauform aufgebaut. Die Baugruppe ist mittels eines 2-Stufen-Vakuumadapters mit einer Vakuumhaube zu adaptieren, da die Baugruppe nicht vakuumdicht ist. Hierdurch ist es nicht möglich im Fehlerfall direkt an den Komponenten auf der Baugruppe manuelle Prüfungen zur Fehlereingrenzung vorzunehmen. Für diesen Fall wurden im Funktionstest besondere Tools zur Fehlersuche integriert die später noch im Detail erläutert werden.

## 2 Prüfablauf

### 2.1 Allgemeine Beschreibung der Prüfabläufe

Die Prüfung der Karte unterteilt sich in folgende Teilschritte :



Das zu erstellende Prüfprogramm ist so aufzubauen, daß im Fehlerfall nach Beendigung eines Prüfabschnittes z.B. ICT der Testlauf abgebrochen wird. Bei Fehlern im Funktionstest ist folgender Ablauf vorgesehen :

1. Die fehlerhafte Prüfung ist zu dokumentieren (Fehlerausdruck)
2. Ist am zu prüfenden Signalpfad der aufgesteckte DSP-Controller beteiligt, so soll das Prüfprogramm automatisch in einen Diagnosemodus verzweigen. Hier wird dann zusätzlich zu der bereits ausgeführten Messung am Kartenausgang eine Messung am Eingang als auch am Ausgang des DSP-Controllers durchgeführt. Hierdurch kann eine genauere Fehlerzuordnung (NF-Eingang bis DSP / DSP / DSP bis NF-Ausgang am Kartenstecker) erfolgen.

Die Durchführung der Prüfung erfolgt auf einem ATE-System vom Typ GenRad GR2284. Das System ist mit 1024 ICT-Pins (Typ COMBO-II), einem DSM-Modul (Deep-Serial-Memory) zur Durchführung der On-Board-Programmierungen und einem AFTM-Modul (Analog-Functional-Test-Modul) zur Durchführung der NF-Tests gemäß Prüfvorschrift ausgestattet.

Die Adaption der Baugruppe am Testsystem erfolgt über einen Vakuumadapter in 2-Stufen-Ausführung. In der ersten Adaptionstufe werden alle Schaltungsknoten über Federkontaktstifte zur Durchführung des In-Circuit-Tests adaptiert. In der zweiten Adaptionstufe werden nur die für den Funktionstest benötigten Signale der Baugruppe über lange Federkontaktstife adaptiert. Hierdurch werden Störeinflüsse durch Testernadeln an nicht benötigten Signalen z.B. Clocksignalen eliminiert. Der Prüfadapter ist mit einer Vakuumfreien Zone mit Niederhalter für die Baugruppe aufgebaut, da die Baugruppe nicht vakuumdicht ist.

```

TEST-AUSWAHL PROGRAMM: TFZ21 Steuerung + NF
=====
TEST  1 AUS      KONTAKTIERUNGS - TEST  =   1
TEST  2 AUS      OPENS & SHORTS  - TEST  =   2
TEST  3 AUS      WIDERSTANDS    - TEST  =   3
TEST  4 AUS      KONDENSATOREN - TEST  =   4
TEST  5 AUS      SPULEN         - TEST  =   5
TEST  6 AUS      DIODEN         - TEST  =   6
TEST  7 AUS      TRANSISTOR     - TEST  =   7
TEST  8 AUS      FET           - TEST  =   8
TEST  9 AUS      OPTO          - TEST  =   9
TEST 10 AUS      SPG. REGLER    - TEST  =  10
TEST 11 AUS      OPAMP         - TEST  =  11
TEST 12 AUS      RELAIS        - TEST  =  12
TEST 13 AUS      QUARZ         - TEST  =  13
TEST 14 AUS      DIGITAL-IC    - TEST  =  14
TEST 15 AUS      BOUNDARY-SCAN - TEST  =  15
TEST 16 AUS      DSM-Prog./FLASH - TEST =  16
TEST 17 AUS      FUNKTIONEN    - TEST  =  17
TEST 18 AUS      MESSWERTAUSSGABE - TEST =  18
DEBUG          ALLE TESTS EIN/AUS =  22

EIN-/AUSSCHALTEN VON TEST X ( 0 = ENDE VON MONITOR ) :

```

Bild 1 : Auswahlmenue nach Programmstart

Das Prüfprogramm ist modular aufgebaut, wobei über ein Auswahlmenue nach Start des Prüfprogrammes zwischen einem Volltest (Ausführung aller Schritte) oder der Ausführung einzelner Schritte bzw. der Kombination einzelner Schritte frei gewählt werden kann (siehe Bild 1).

Zudem besteht die Möglichkeit den In-Circuit-Test ohne aufgestecktes DSP-Modul auszuführen. Dies ist besonders dann von Nutzen wenn Bauteile die unterhalb des aufgesteckten DSP-Moduls bestückt sind im Rahmen der Reparatur getauscht oder nachgelötet wurden, da dann eine erneute Montage des DSP-Moduls erst nach Beseitigung aller Fehler und fehlerfreiem Nachtest erfolgt.

### 3 In-Circuit-Test

Der In-Circuit-Test besteht aus einem passiven sowie einem aktiven Test mit angelegter Spannungsversorgung aller Komponenten. Die einzelnen Tests bestehen dabei aus einem vom Programmgenerator erzeugten Teil und diverser Erweiterungen für Komponenten die nicht Bestandteil der Modell-Bibliotheken sind. Der In-Circuit-Test untergliedert sich in folgende Schritte :

- Kontaktierungs - Test
- Opens & Kurzschluß - Test
- Test Widerstände
- Test Kondensatoren
- Test Spulen
- Test Dioden
- Test Transistoren (bipolar)
- Test FET's
- Test Optokoppler
- Einschalten der Versorgungsspannungen
- Test von Spannungsreglern
- Test Operationsverstärker
- Test Relais
- Test Quarz-Oszillatoren
- Test Digitaler IC's

#### 3.1 Erweiterungen im Digitalen In-Circuit-Test

Für folgende digitale Komponenten die nicht Bestandteil der Modell-Bibliotheken sind wurden neue Testsequenzen entwickelt :

DUART SAB82525:Kurztest durch Schreiben und Lesen interner Datenregister :

- MODE-Register Channel A - Adr.22h Date.AAh / 55h
- MODE-Register Channel B - Adr.62h Date.AAh / 55h
- Test Registerinhalte nach RESET auf Date 00h

Die serielle Schnittstelle wird im Funktionstest geprüft.

Port SC26C92 : Kurztest durch Schreiben und Lesen interner Datenregister sowie Test der Parallel-IO-Ports :  
- Register CRA schreiben (ADR 2 Data=10 MR Pointer to MR1)  
- Schreib-/Lese-Test auf das MR1-Register mit Date AAh / 55h  
- Test Parallel-IO-Ports mit verschiedenen Datenmustern  
Die serielle Schnittstelle wird im Funktionstest geprüft.

Prozessor : Ein bestehendes Modell wurde übernommen und entsprechend der Beschaltung angepasst.

Koppelfeld : Die eingesetzten Koppelfeldbausteine Typ MT8816 werden durch Ansteuerung der Digitalen Eingänge zur Selektierung der Schalter gesteuert und durch Einspeisung einer DC-Spannung am jeweiligen Analogeingang und Messung der Spannung am selektierten Ausgang geprüft.

Die erstellten Testsequenzen stellen keinen 100%-Test da. Dies ist in diesem Fall jedoch ausreichend, da die nicht vollständig geprüften Funktionen durch den Funktionstest abgedeckt werden. Die erstellten Prüfungen stellen jedoch sicher, daß die Grundfunktionen wie Adressierbarkeit sowie Schreib- und Lesezugriff auf interne Register gewährleistet sind. Durch diese Vorgehensweise können Kosten eingespart werden, da die Erweiterung eines Teilmodells zu einem Vollmodell oftmals erhebliche Zusatzkosten verursacht.

## 4 Boundary-Scan-Test für EPLD XC95216

Zur Prüfung des EPLD's vom Typ XC95216 werden die Boundary-Scan-Funktionen des Bausteines genutzt. Da alle Anschlüsse des Bausteines über Federkontaktstifte erreicht werden können, kann über die EXTEST-Funktion eine direkte Prüfung aller Verbindungen erfolgen. Die Ansteuerung des TAP-Controllers über die Signale TDI, TDO, TMS und TCK erfolgt über die digitale Pinelektronik des Testsystemes. Die erforderlichen Ansteuersequenzen sowie die entsprechenden Mess- und Stimuliwerte an den IO-Pins des Bausteins wurden mit einem Software-Tool von Schneider & Koch (Boundary-Scan-Patterngenerator) entwickelt. Dieses Tool verarbeitet als Eingangsdatenformat das BSDL-File des Bausteinherstellers. Über eine graphische Programmieroberfläche generiert der Programmierer die verschiedenen Testfolgen. Als Ausgangsdatenformat werden für die einzelnen Sequenzen entsprechende digitale Bursts im Format GenRad-TPG erstellt. Für die Prüfung des Bausteines wurden folgende Testfolgen erstellt :

- Prüfung BYPASS-Register
- Prüfung INSTRUCTION-Register
- Prüfung Scanpath (Test der Kettenlänge)
- Ausführung EXTEST mit Testpattern AAh / 55h

Im Bypassstest wird ein Datenmuster über TDI eingetaktet und geprüft, ob dieses Datenmuster mit einem Versatz vom einem TCK-Zyklus am Ausgang TDO ansteht.

Die Prüfung des Instruction-Registers erfolgt ähnlich dem des Bypassstests, wobei die angelegten Daten an TDI mit einem Versatz entsprechend der Registerlänge des Instructionregisters am Ausgang TDO ausgetaktet werden.

Der Test des Scanpath erfolgt durch Ausführung der EXTEST-Funktion, wobei über TDI als Testdaten ein Bitmuster eingetaktet wird und geprüft wird ob dieses mit einer der Anzahl der Scan-Zellen in der Boundary-Scan-Kette entsprechenden Anzahl von Taktzyklen an TCK wieder am Ausgang TDO ausgetaktet wird.

Zur eigentlichen Prüfung der Verbindungen zum Baustein wird die EXTEST-Funktion genutzt. Hierzu werden für die Bidirektionalen Pins des Bausteines die Controllzellen so gesetzt, das die Funktion der Baugruppe berücksichtigt wird (Input/Output). Über die an allen Pins des Bausteines vorhandenen Testerpins werden nun entsprechende Bitmuster an den Eingängen angelegt und durch Auswertung der Boundary-Scan-Daten am Ausgang TDO die Verbindungen geprüft. Für Pins die als Ausgang geschaltet wurden, werden die über TDI eingetakteten Sollwerte mit der digitalen Pinelektronik des Testers an den einzelnen Pins geprüft. Dieser Verbindungstest erfolgt für jeden Pin, soweit möglich, sowohl mit High- als auch Low-Pegel (Testpattern AAh / 55h).

Die Fehlerdiagnose im EXTEST zur Prüfung der Verbindungen erfolgt auf Pin-Ebene. Hierzu wird für jede Messung an einem Pin ein entsprechendes Bit in einer Bit-Variablen gesetzt (siehe Markierung in Bild 2). Am Ende des Tests erfolgt eine Auswertung der Variablen.

```

/* ***** Datenphase vorbereiten (TAP nach Shift DR) ***** */
IH(tms); IH(tck); IL(tck); /* Select DR */
IL(tms); IH(tck); IL(tck); /* Capture DR */
IL(tms); IH(tck); IL(tck); /* Shift DR */

/* Ouput-Daten ueber TDI einlocken, Input-Daten an TDO auslocken und
vergleichen */
IH(tck); IL(tck); /* Zelle 0 ueberspringen */
IH(tck); IL(tck); /* Zelle 1 ueberspringen */
IH(tck); IL(tck); /* Zelle 2 ueberspringen */
IH(tdi); IH(tck); IL(tck); /* Kontrollzelle 3 setzen */
IH(tck); IL(tck); /* Zelle 4 ueberspringen */
OS(tdo) OL(tdo) FAIL(212); OI(tdo); /* PIN 112 testen */
IH(tck); IL(tck);
IH(tck); IL(tck); /* Zelle 6 ueberspringen */
IH(tck); IL(tck); /* Zelle 7 ueberspringen */
IH(tck); IL(tck); /* Zelle 8 ueberspringen */
IH(tdi); IH(tck); IL(tck); /* Kontrollzelle 9 setzen */
IH(tck); IL(tck); /* Zelle 10 ueberspringen */
OS(tdo) OH(tdo) FAIL(211); OI(tdo); /* PIN 111 testen */
IH(tck); IL(tck);

END FAST;
END BURST;
};
CALL AUSWERTUNG(TESTNAME='INPUTS_AA', IC_NAME='IC23', PINZAHL=160);

```

Bild 2 : Auszug aus Boundary-Scan-EXTEST (setzen Bit-Variable für Fehlerdiagnose)

## 5 Speicherkurztest für Flash-Eproms und EEPROM

Vor der eigentlichen Programmierung der Speicherbausteine mit der Gerätesoftware erfolgt ein Kurztest der Bausteine. Hierdurch wird sichergestellt, daß die vergleichsweise zeitintensive Programmierung nur dann ausgeführt wird, wenn die Funktion der Bausteine einschließlich der entsprechenden Verbindungen korrekt sind.

Für die Flash-Eproms auf der Baugruppe (jeweils Typ Intel 28F640 64MBit) werden folgende Tests ausgeführt :

- CHECK FOR CORRECT MANUFACTURER CODE
- CHECK FOR CORRECT DEVICE CODE
- READ STATUS REGISTER
- ERASE BLOCK 0 ADR. 000000H..00FFFFH
- Write DATA to Block 0 ADR. 00000AH Data.55H
- READ DATA from Block 0 ADR. 00000AH Data.55H
- Write DATA to Block 0 ADR. 00000FH Data.AAH
- READ DATA from Block 0 ADR. 00000FH Data.AAH
- CHIP ERASE

Für das EEPROM Typ X28HC256 werden folgende Tests ausgeführt :

- Write-Sequence für RESET Software-Data-Protection
  - Date HAA auf Adresse H5555 schreiben
  - Date H55 auf Adresse H2AAA schreiben
  - Date H80 auf Adresse H5555 schreiben
  - Date HAA auf Adresse H5555 schreiben
  - Date H55 auf Adresse H2AAA schreiben
  - Date H20 auf Adresse H5555 schreiben
- Date H55 auf Adresse H0000 schreiben und lesen
- Date HAA auf Adresse H0001 schreiben und lesen
- Date H00 auf Adresse H0000 schreiben und lesen
- Date H00 auf Adresse H0001 schreiben und lesen

## 6 On-Board-Programmierung für EPLD Xilinx XC95216

Die On-Board-Programmierung des EPLD's vom Typ Xilinx XC95216 erfolgt über ein Software-Tool des Bausteinherstellers. Hierbei wird über einen zugehörigen Hardwareadapter eine Verbindung zwischen dem Parallelport des Testsystem-PC und der JTAG-Schnittstelle auf dem Prüfling hergestellt. Der Bediener kann mit diesem Softwaretool das entsprechende JEDEC-File auswählen und programmieren. Zudem erfolgt mit diesem Tool ein Verify der programmierten Daten.

## 7 On-Board-Programmierung der Flash-Eproms / EEPROM

Die Flash-Eproms und das EEPROM sind mit verschiedenen Datensätzen zu programmieren. Die Auswahl der Datensätze ist dabei abhängig von der zu programmierenden Softwarevariante der Baugruppe. Die Speicherbausteine sind aufgeteilt in Blöcke zu je 64K. Abhängig von der Softwarevariante sind verschiedene Blöcke mit verschiedenen Datensätzen zu programmieren.

Die von der Entwicklung beigegebenen Programmierdateien werden mit einem im Rahmen dieses Projektes entwickelten Softwaretools (Visual-Basic) in entsprechende Dateien für das DSM-Modul des Testsystems umgesetzt.

Die Zuordnung der zu programmierenden Datensätze zu den einzelnen Bausteinen sowie zu den einzelnen Speicherblöcken erfolgt in einer Konfigurationsdatei (Bild 3). Diese wird jeweils vor Beginn der On-Board-Programmierung eingelesen.

```
BAUSTEIN (immer 3 Stell):ddb-name,Bank (Hex i. 2 Ziff)
D4:bootee01.ddb,00;
D27:Bootco03.ddb,03;
D27:Fertco03.ddb,07;
D27:D__co01.ddb,09;
D27:A__co01.ddb,0D;
D28:bootee01.ddb,01;
D28:Fertee01.ddb,05;
D28:D__ee01.ddb,09;
D28:D__tx03.ddb,0B;
D28:A__ee01.ddb,0D;
D28:A__tx03.ddb,0F;
END:
```

Bild 3 : Konfigurationsdatei für On-Board-Programmierung

Abhängig von den Eintragungen in dieser Datei wird der entsprechend gewählte Baustein mit der vorgegebenen Datei im entsprechenden Speicherblock programmiert und verifiziert.

Beispiel :

D27:Bootco03.ddb,03;

→ Programmierung von D27 mit der Datei Bootco03.ddb auf Speicherblock 3.

Soll eine Änderung der Software eingearbeitet werden, so ist lediglich mittels des Softwaretools zur Umsetzung der Eingangsdaten in das GenRad-DSM-Format die neue Programmierdatei umzusetzen. Sollen zusätzlich zu den im Konfigurationsfile eingetragenen Programmierungen weitere Daten bzw. Dateien programmiert werden, so sind diese ebenfalls entsprechend umzusetzen und das Konfigurationsfile entsprechend zu ergänzen. Ab dem nächsten Programmstart wird somit die geänderte Software programmiert. Der Bediener muß somit keine Anpassungen am Testprogramm vornehmen.

## 8 Funktionstest gemäß Prüfvorschrift

Für die Baugruppe ist ein Funktionstest gemäß einer Prüfvorschrift auszuführen. Zur Durchführung der Funktionsprüfung müssen alle vorab ausgeführten Prüfungen und die On-Board-Programmierungen erfolgreich durchlaufen worden sein. Die einzelnen Prüfungen im Funktionstest erfolgen nach folgendem Ablauf (siehe auch Bild 4) :

1. Senden von Kommandosequenzen über die serielle Schnittstelle an den Prozessor. Die Kommunikation erfolgt über die serielle Schnittstelle des Testsystem-PC. Im Prüfadapter ist eine Zusatzschaltung zur Pegelanpassung an den Prüfling eingebaut. Der Prüfling antwortet auf die gesendeten Kommandos mit einer definierten Date (ACK-Byte). Diese ist jeweils vom Prüfprogramm auszuwerten.
2. Einspeisen verschiedener NF-Signale an vorgegebenen Einspeisepunkten an den Kartensteckern.
3. Prüfung der NF-Ausgangssignale am Kartenstecker (Amplitude / Dämpfung)

Die zu prüfenden NF-Wege auf der Baugruppe werden jeweils durch die Kommandosequenzen über die serielle Schnittstelle entsprechend verschaltet. Die geschalteten Signalwege unterteilen sich in zwei Funktionsgruppen. Entweder erfolgt die Verschaltung direkt vom NF-Eingang über die Koppelfelder zum NF-Ausgang oder aber über die Koppelfelder zum DSP-Controller-Board und wiederum über die Koppelfelder zum NF-Ausgang. Treten Fehler in Signalwegen auf die nicht über den DSP-Controller geführt werden, so wird der Fehler dokumentiert und im Test fortgefahren. Ist jedoch das DSP-Controller-Board mit in den Signalweg geschaltet, so wird im Fehlerfall in einen Diagnostest verzweigt. Hier werden zusätzlich zu der bereits erfolgten Messung des Signals am Kartenstecker (NF-Ausgang) weitere Messungen am Eingang als auch am Ausgang des DSP-Controller-Boards ausgeführt. Hierdurch ist eine Eingrenzung des Fehlers auf folgende Bereiche möglich :

1. Signalweg vom Einspeisepunkt bis zum DSP-Controller-Board
2. Signalweg auf dem DSP-Controller-Board
3. Signalweg vom DSP-Controller-Board zum NF-Ausgang am Kartenstecker

Die Unterscheidung in diese Signalwege (mit/ohne DSP) erfolgt, da bei Signalwegen ohne DSP-Controller-Board bereits alle beteiligten Komponenten im ICT geprüft wurden. Bei Signalwegen mit DSP können noch Verbindungsfehler zwischen Prüfling und DSP-Controller-Board vorliegen, da kein ICT des DSP-Moduls erfolgt und somit noch Fehler vorliegen können, die beim Aufstecken des Moduls entstanden sein können z.B. abgegebener Steckerpin.

```

/*****
/** 3.2.1 Sendeweg MIK1 des BGI über DSP          **/
/*****

```

PV\_3\_2\_1:

```

LET Z13='PS3.2.1   Setup ueber SAS  ';
PRCHR='PS3.2.1  ';
HILIMIT=1.0;
LOLIMIT=0.0;
EINHEIT='  ';
SOLL= 1.0;

CALL SEND_READ_SAS (DATA = 'BF1801100205', BCC40 = 'B1', BCC60 = '91');
DELAY 1M;
LET MEASVAL=SOLL;
MESSAGE='SAS-Befehl: NF-Weg nfein';

IF RX_DATA <> 'ACK' THEN
[
  MEASVAL=2;
];

CALL PROTOKOLL();

DELAY 1M;

CALL SEND_READ_SAS (DATA = 'BF1501', BCC40 = 'AB', BCC60 = '8B');
DELAY 1M;
LET MEASVAL=SOLL;
MESSAGE='SAS-Befehl: Senden hubnsf';

IF RX_DATA <> 'ACK' THEN
[
  MEASVAL=2;
];

CALL PROTOKOLL();
DELAY 1M;

/*****
/* ACSOUT HI: X307.12 (392), LO: X307.30(395)  Einspeisung 100mV 1KHz  */
/* DCVM   HI: X301.16 (460), LO: GND (99)      Sollwert : 350mV +-50mV */
/*****

```

MESS\_PV3211\_X301\_16:

```

LET Z13='PS3.2.1.1 X301.16 NFS bei 100MV 1KHZ an MIK1A-B';
PRCHR='3.2.1.1  ';
HILIMIT=0.4;
LOLIMIT=0.3;
MESSAGE='Messwert an X301.16 NFS bei 100MV 1KHZ an MIK1A-B';
EINHEIT=' VAC';
SOLL= 0.35;

```

```

LET UACS = 0.14142; /* UACS = 100mVeff */
LET CNT = 0; /* Durchlaufmerker loeschen */

SET SCAN AT(CHA=392:CHB=99,395:CHD=392);
SET HFSCAN AT(ACSOUT=CHD:DVMHI=CHA:DVML0=CHB);

PEGEL_X307_12:

/* Einregeln der Eingangsspannung auf 100mV +/- 2% */

IF CNT > 10 THEN /* Einregeln nach 10 Versuchen nicht moeglich */
[
  BRANCH SETUP_END_X307_12;
];

SET ACS SINE F=1K V=UACS ACSOFFSET=0;
DELAY 50M;

MEAS DVM ACV INTO MEASVAL MAX=1 DIFF FILTER=4K DLY=0.25 ACC ;

IF MEASVAL > 0.1*1.02 THEN /* UA ist noch zu hoch */
[
  LET UACS = UACS - 0.001; /* UACS um 1mV verringern */
  LET CNT = CNT + 1; /* Durchlaufmerker hochzaehlen */
  BRANCH PEGEL_X307_12;
];

IF MEASVAL < 0.1*0.98 THEN /* UA ist noch zu niedrig */
[
  LET UACS = UACS + 0.001; /* UACS um 1mV erhoehen */
  LET CNT = CNT + 1; /* Durchlaufmerker hochzaehlen */
  BRANCH PEGEL_X307_12;
];

SETUP_END_X307_12:

LET UACS_100MV=UACS;

CLEAR SCAN;
CLEAR MUX;
CLEAR HFSCAN;

SET SCAN AT(CHA=460:CHB=99,395:CHD=392);
SET HFSCAN AT(ACSOUT=CHD:DVMHI=CHA:DVML0=CHB);
SET ACS SINE F=1K V=UACS ACSOFFSET=0;
DELAY 100M;

MEAS DVM ACV INTO MEASVAL MAX=1 DIFF FILTER=4K DLY=0.25 ACC ;

LET U_DB_PV32 = MEASVAL;

CALL PROTOKOLL();

IF FKT_FAIL = 'FEHLER' THEN /* DIAGNOSE-MESSUNG AUSFÜHREN */
[
  CLEAR SCAN;
  /* Vorgaben für Diagnose */
  DIAG_MP = 'MPH';
  U_HILIM = 0.120;
  U_LOLIM = 0.080;
  U_SOLL = 0.100;
  SET SCAN AT(CHA=463:CHB=99,395:CHD=392); /* Messung an MPH */
  CALL DIAG_MEASURE();
  CLEAR SCAN;

```

```

/* Vorgaben für Diagnose */
DIAG_MP = 'MPC';
U_HILIM = 0.220;
U_LOLIM = 0.180;
U_SOLL = 0.200;
SET SCAN AT(CHA=461:CHB=99,395:CHD=392);          /* Messung an MPC */
CALL DIAG_MEASURE();
CLEAR SCAN;
SET SCAN AT(CHA=460:CHB=99,395:CHD=392);
];

```

#### Bild 4 : Auszug aus dem Funktionstestprogramm

Abhängig von der Auswahl des Bedieners im Startmenue (Bild 1) kann ein komplettes Prüfprotokoll für die Baugruppe erstellt werden. Ist dies nicht selektiert, so werden nur im Fehlerfall die entsprechenden Meldungen ausgegeben.

#### Bild 5 : Auszug aus dem Prüfprotokoll für den Funktionstest

Funktionstest	
STROMAUFNAHME 6V AN X303.17-18 PS3.1.3.1 6V Stromaufnahme 0.36 ADC <= I <= 0.44 ADC	OK 0.394 ADC
STROMAUFNAHME 12V AN X303.11-12 PS3.1.3.2 12V Stromaufnahme 0.09 ADC <= I <= 0.15 ADC	OK 0.120 ADC
SAS-Initialisierung RESET INFO BG PS3.2 Init ueber SAS Sollwert = ACK	OK ACK
SAS-Befehl: NF-Weg nfein PS3.2.1 Setup ueber SAS Sollwert = ACK	OK ACK
SAS-Befehl: Senden hubnsf PS3.2.1 Setup ueber SAS Sollwert = ACK	OK ACK
Messwert an X301.16 NFS bei 100MV 1KHZ an MIK1A-B PS3.2.1.1 X301.16 NFS bei 100MV 1KHZ an MIK1A-B 0.30 VAC <= U <= 0.40 VAC	OK 0.345 VAC

Messwert an X301.16 NFS auf -10dB regeln

PS3.2.1.1 X301.16 NFS auf -10dB regeln

0.31 VAC <= U <= 0.32 VAC

OK 0.309 VAC

Messwert an X301.16 NFS bei 86MV 50HZ an MIK1A-B

PS3.2.1.2 X301.16 NFS bei 86MV 50HZ an MIK1A-B

-50.00 dB <= D <= -30.00 dB

OK -38.165 dB

Messwert an X301.16 NFS bei 86MV 300HZ an MIK1A-B

PS3.2.1.3 X301.16 NFS bei 86MV 300HZ an MIK1A-B

-15.00 dB <= D <= -11.00 dB

OK -12.030 dB

Messwert an MPE bei UIC3,4 offen

PS3.4.1.1 Optokoppler-Test Schritt 1 MPE=5V

4.75VDC <= SOLL <= 5.25VDC

OK 4.902 VDC

Messwert an MPE bei UIC3=5V,UIC4=0V

PS3.4.1.2 Optokoppler-Test Schritt 2 MPE=0V

-0.25 VDC <= U <= 0.25 VDC

OK 0.180 VDC

---

ENDE Funktionstest

---